

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-158147

(43)Date of publication of application : 18.06.1990

(51)Int.Cl.

H01L 21/60

(21)Application number : 63-312538

(71)Applicant : FUJITSU LTD  
KYUSHU FUJITSU ELECTRON:KK

(22)Date of filing : 09.12.1988

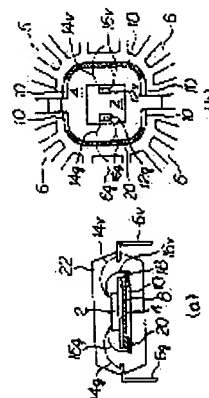
(72)Inventor : YAGASHIRA SHOICHI  
NAKAMURA TORU

## (54) SEMICONDUCTOR

### (57)Abstract:

**PURPOSE:** To remove noise efficiently and to prevent malfunction of a semiconductor by directly connecting the electrode of a semiconductor chip in a package with the capacitor, without using a wire connected to an external lead, by another wire.

**CONSTITUTION:** A capacitor 10 is mounted through an insulator 8 on a die-stage 4 on the opposite side to the mounting face of an IC chip 2. The power source pad 12 of the IC chip 2 and the grounding pad 12g are respectively connected to a power source terminal 6v and a grounding terminal 6g in an external lead terminal 6 by wires 14v and 14g. Other pads are connected similarly to the external lead terminal 6 by wires. And at the same time, the power source pad 12v and the grounding pad 12g are connected to both electrodes 18 and 20 of the capacitor 10 by wires 16v and 16g, respectively. And all of them are sealed hermetically by synthetic resin mold 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報(A) 平2-158147

⑤ Int. Cl.<sup>3</sup>  
H 01 L 21/60識別記号 庁内整理番号  
3 0 1 A 6918-5F

⑬ 公開 平成2年(1990)6月18日

審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-312538

⑯ 出 願 昭63(1988)12月9日

⑰ 発 明 者 谷 頭 正 一 鹿児島県薩摩郡入来町副田5950番地 株式会社九州富士通  
エレクトロニクス内

⑰ 発 明 者 中 村 亨 鹿児島県薩摩郡入来町副田5950番地 株式会社九州富士通  
エレクトロニクス内

⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 出 願 人 株式会社九州富士通エ 鹿児島県薩摩郡入来町副田5950番地  
レクトロニクス

⑰ 代 理 人 弁理士 井 桁 貞一 外2名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

パッケージ内にコンデンサおよび半導体チップを収納し、前記半導体チップの電極と前記パッケージの外部リードとの間がワイヤにて接続されると共に、前記半導体チップの電極と前記コンデンサとの間は、前記外部リードに接続されるワイヤを介さず、別のワイヤによって、直接接続されてなることを特徴とする半導体装置。

## 3. 発明の詳細な説明

## 〔概要〕

半導体装置に係り、特にパッケージにコンデンサを収納する半導体装置に関し、  
ノイズの混入を除去して、誤動作を防止するす

ることができる半導体装置を提供することを目的とし、

パッケージ内にコンデンサおよび半導体チップを収納し、前記半導体チップの電極と前記パッケージの外部リードとの間がワイヤにて接続されると共に、前記半導体チップの電極と前記コンデンサとの間は、前記外部リードに接続されるワイヤを介さず、別のワイヤによって、直接接続されてなるように構成する。

## 〔産業上の利用分野〕

本発明は半導体装置に係り、特にパッケージにコンデンサを収納する半導体装置に関する。

## 〔従来の技術〕

半導体装置は、その高集積化および高速化と共に電源ノイズは大きくなる傾向にあり、また高速化に伴い電源ノイズによる誤動作も大きな問題となっており、適切なノイズ低減法が求められている。

このため、従来の半導体装置においては、第8図に示されるように、パッケージのダイステージ4に取り付けられたIC(半導体集積回路)チップ2の電源パッドおよび接地パッドは、それぞれワイヤ線14v、14gによって外部リード端子6中の電源端子6vおよび接地端子6gに接続されると共に、電源端子6vが接続される電源V<sub>cc</sub>と接地端子6gが接続される接地GNDとの間にノイズキャンセラとしての外部取付用のコンデンサ40が設けられる場合が多い。

しかし、ICチップの高集積化に伴って外部リード端子の数が増加すると、電源端子6vと接地端子6gとの間の距離が長くなることに起因するノイズが生じ易くなる問題があった。

こうした問題を解決するため、パッケージ内にノイズキャンセラとしてのコンデンサを取納してICチップの近くに接続することが提案されている(特開昭61-35544号)。

次に、この提案による従来の半導体装置を、第7図を用いて説明する。

コンデンサ30はダイステージ4とICチップ2との間に重ねられることもある。また、パッケージはモールドパッケージに限らず、セラミック基体34と蓋36とによって気密封止するセラミックパッケージが用いられることもある。

#### [発明が解決しようとする課題]

しかしながら、上記提案による従来の半導体装置においては、ICチップの電源パッドおよび接地パッドとコンデンサとの間に、それぞれパッドと外部リード端子とを接続するワイヤ線およびその外部リード端子とコンデンサとを接続するワイヤ線が存在するため、これらのワイヤ線のインダクタンスによってノイズが発生すると共に、コンデンサのノイズ除去効果が低下するという問題があった。

そこで本発明は、ノイズの発生を低減して、誤動作を防止するすることができる半導体装置を提供することを目的とするものである。

第7図(a)において、合成樹脂モールド22によって気密封止するモールドパッケージのダイステージ4にICチップ2が取り付けられ、この取付け面と反対側のダイステージ4にノイズキャンセラとしての板状コンデンサ30が搭載されている。ICチップ2の電源パッドおよび接地パッドは、それぞれワイヤ線14v、14gによって外部リード端子中の電源端子6vおよび接地端子6gに接続されている。そして同時に、板状コンデンサ30の一方の電極がワイヤ線32vによって電源端子6vに接続されると共に、また他方の電極がダイステージ4に取り付け接続され、さらにワイヤ線32gによって接地端子6gに接続されている。

このようにして、ノイズキャンセラとしてのコンデンサ30をICチップ2の近くに接続することにより、電源端子6vと接地端子6gとの間の距離が長くなることに起因するノイズを低減している。

なお、第7図(b)に示されるように、板状コ

#### [課題を解決するための手段]

上記課題は、パッケージ内にコンデンサおよび半導体チップを取納し、前記半導体チップの電極と前記パッケージの外部リードとの間がワイヤにて接続されてなると共に、前記半導体チップの電極と前記コンデンサとの間は、前記外部リードに接続されるワイヤを介さず、別のワイヤによって、直接接続されてなることを特徴とする半導体装置によって達成される。

#### [作用]

すなわち本発明は、ICチップの電源パッドおよび接地パッドをそれぞれコンデンサに直接に接続することにより、電源パッドおよび接地パッドとコンデンサとの間のインダクタンスをそれぞれ小さくし、このインダクタンスによるノイズの発生を低減すると共に、コンデンサのノイズ除去効果を大きくすることができる。

#### [実施例]

以下、本発明を図示する実施例に基づいて具体的に説明する。

第1図(a)、(b)は、それぞれ本発明の第1の実施例による半導体装置の断面を示す断面図およびその平面図である。

ICチップ2を取り付けるダイステージ4と周囲に配列された複数の外部リード端子6とを有するモールドパッケージにおいて、ICチップ2の取付け面と反対側のダイステージ4上に、絶縁物8を介して、コンデンサ10が搭載されている。

ICチップ2の電源パッド12vおよび接地パッド12gは、それぞれワイヤ線14v、14gによって、外部リード端子6中の電源端子6vおよび接地端子6gに接続されている。他のパッドも同様にワイヤ線によって外部リード端子6に接続されているが、複雑になるためここでは図示しない。そして同時に、電源パッド12vおよび接地パッド12gは、それぞれワイヤ線16v、16gによって、コンデンサ10の両電極18、20に接続されている。

次に、本発明の第3の実施例による半導体装置を説明する。

第3の実施例は、第3図(a)の断面図および第3図(b)の平面図に示されるように、コンデンサ10がICチップ2と並んでICチップ2の取付け面と同じ側のダイステージ4上に、絶縁物28を介して、設けられている点に特徴がある。

そしてICチップ2の電源パッド12vおよび接地パッド12gが、それぞれワイヤ線14v、14gによって、外部リード端子6中の電源端子6vおよび接地端子6gに接続されていること、同時に電源パッド12vおよび接地パッド12gがそれぞれワイヤ線16v、16gによって、コンデンサ10の両電極18、20に接続されていること等は、第1および第2の実施例と同じである。

なお、上記第1ないし第3の実施例においては、いずれもモールドパッケージを用いているが、その他のパッケージ例えばセラミックパッケージであってもよい。

そしてこれらのICチップ2、ダイステージ4、外部リード端子6、6v、6gの先端部、コンデンサ5、ワイヤ線14v、14g、16v、16gは、全て合成樹脂モールド22によって気密封止されている。

次に、本発明の第2の実施例による半導体装置を説明する。

第2の実施例は、第2図(a)の断面図および第2図(b)の平面図に示されるように、コンデンサ10がICチップ2とダイステージ4との間に、それぞれ絶縁物24、26を介して、設けられている点に特徴がある。

そしてICチップ2の電源パッド12vおよび接地パッド12gが、それぞれワイヤ線14v、14gによって、外部リード端子6中の電源端子6vおよび接地端子6gに接続されていること、同時に電源パッド12vおよび接地パッド12gがそれぞれワイヤ線16v、16gによって、コンデンサ10の両電極18、20に接続されていること等は、上記第1の実施例と同じである。

次に、上記第1ないし第3の実施例による半導体装置の等価回路を、第7図に示した従来の半導体装置の等価回路と比較して、第4図に示す。

上記実施例による半導体装置の等価回路は、第4図(a)に示されるように、ICチップ2の電源パッド12vが、ワイヤ線14vのインダクタンス成分L1および電源端子6vのインダクタンス成分L2を介して、電源Vccに接続されている。そして同時に、電源パッド12vは、ワイヤ線16vのインダクタンス成分L3を介して、コンデンサ10の一方の電極18に接続されている。

同様に、ICチップ2の接地パッド12gが、ワイヤ線14gのインダクタンス成分L4および接地端子6gのインダクタンス成分L5を介して、接地GNDに接続されている。そして同時に、接地パッド12gは、ワイヤ線16gのインダクタンス成分L6を介して、コンデンサ10の他方の電極20に接続されている。

すなわち、ICチップ2の電源パッド12vおよび接地パッド12gが、それぞれワイヤ線16

v, 16 g によってコンデンサ10の両電極18, 20に直接に接続されているため、電源パッド12 v および接地パッド12 g とコンデンサ10の両電極18, 20との間には、それぞれワイヤ線16 v のインダクタンス成分L3 およびインダクタンス成分L6 だけが存在している。

これに対して、従来の半導体装置の等価回路は、第4図(b)に示されるように、ICチップ2の電源パッド38 v が、ワイヤ線14 v のインダクタンス成分L1 および電源端子6 v のインダクタンス成分L2 を介して電源V<sub>cc</sub>に接続され、また同時に、ワイヤ線14 v のインダクタンス成分L1 およびワイヤ線32 v のインダクタンス成分L7 を介してコンデンサ30の一方の電極に接続されている。

同様にして、ICチップ2の接地パッド38 g が、ワイヤ線14 g のインダクタンス成分L4 および接地端子6 g のインダクタンス成分L5 を介して接地GNDに接続され、また同時に、ワイヤ線14 g のインダクタンス成分L4 およびワイヤ

L4, L8 が存在する。

いま、各ワイヤ線14 v, 14 g, 16 v, 16 g, 32 v, 32 g の長さがすべて等しく、従って各インダクタンス成分がすべて等しい、すなわち、

$$L1 = L3 = L4 = L6 = L7 = L8 = L$$

と仮定すると、上記実施例による半導体装置における電源パッド12 v および接地パッド12 g とコンデンサ10との間のインダクタンスは、従来の半導体装置に比べて、それぞれインダクタンスLだけ小さくなる。

従って、このインダクタンスが小さくなった分だけノイズの発生が低減されると共に、コンデンサ10はより効果的に動作して電源V<sub>cc</sub>および接地GNDの電圧変動を抑制し、ノイズキャンセラとしての役割を果たすことができる。

実際には、ICチップ2の電源パッド12 v および接地パッド12 g とコンデンサ10とを接続するワイヤ線16 v, 16 g の長さは、電源パッド38 v および接地パッド38 g と電源端子6 v

線32 g のインダクタンス成分L8 を介してコンデンサ30の他方の電極に接続されている。

すなわち、ICチップ2の電源パッド38 v および接地パッド38 g が、それぞれワイヤ線14 v, 32 v および14 g, 32 g によって、コンデンサ30の両電極に接続されているため、電源パッド38 v および接地パッド38 g とコンデンサ30との間には、それぞれワイヤ線14 v, 32 v のインダクタンス成分L1, L7 およびワイヤ線14 g, 32 g のインダクタンス成分L4, L8 が存在している。

第4図(a), (b)を比較すると、上記実施例による半導体装置は、ICチップ2の電源パッド12 v および接地パッド12 g とコンデンサ10との間には、それぞれインダクタンス成分L3 およびインダクタンス成分L6 だけが存在する。

これに対して、従来の半導体装置は、ICチップ2の電源パッド38 v および接地パッド38 g とコンデンサ30との間には、それぞれインダクタンス成分L1, L7 およびインダクタンス成分

および接地端子6 g とをそれぞれ接続するワイヤ線14 v, 14 g、コンデンサ30およびダイスタンド4と電源端子6 v および接地端子6 g とをそれぞれ接続するワイヤ線32 v, 32 g よりも短い。特に、上記第2および第3の実施例においては、ワイヤ線16 v, 16 g の長さは非常に短くなる。

このため、ワイヤ線16 v のインダクタンス成分L3 は、ワイヤ線14 v のインダクタンス成分L1 よりも小さく、またワイヤ線32 v のインダクタンス成分L7 よりも小さい。同様にして、ワイヤ線16 g のインダクタンス成分L6 は、ワイヤ線14 g のインダクタンス成分L4 よりも小さく、またワイヤ線32 g のインダクタンス成分L8 よりも小さい。

従って、上記実施例、特に上記第2および第3の実施例における電源パッド12 v および接地パッド12 g とコンデンサ10との間のインダクタンスは、前に仮定したインダクタンスの値Lよりもさらに小さくなり、電源V<sub>cc</sub>および接地GND

の電圧レベル変動を抑制して電源ノイズを除去する効果もさらに大きくなる。

次に、上記実施例による効果を定量的に明らかにするために行ったシュミレーション実験の結果を第5図および第6図に示す。

このシュミレーション実験においては、第5図(a)に示すように、ICチップとして標準型のTTL回路によるインバータ42を用い、電源 $V_{cc}$ および接地GNDをそれぞれ、

$$V_{cc} = 5.0 \text{ V}$$

$$GND = 0.0 \text{ V}$$

とした。

そして第4図(a)、(b)に示す上記実施例および従来の半導体装置の等価回路の各インダクタンス値およびコンデンサ容量を、それぞれ、

$$L1 = L3 = L4 = L6 = L7 = L8 = 5 \text{ nH}$$

$$L2 = L5 = 10 \text{ nH}$$

$$C1 = C2 = 1 \mu\text{F}$$

とした。

こうして条件において、上記実施例および従来

る。

また、第6図に示すシュミレーション実験は、第6図(a)に示すように、ICチップとして標準型のTTL回路によるインバータ42の出力側に $500 \Omega$ の低抵抗Rと $50 \mu\text{F}$ の容量のコンデンサCの負荷を接続し、他の条件は第5図に示す場合と全く同じにして行なった。

そしてインバータ42がインバータ動作を行なった際の電源 $V_{cc}$ および接地GNDの電圧レベル変動をそれぞれ第6図(b)、(c)に、その拡大図をそれぞれ第6図(d)、(e)に示すと、その結果は、既に第5図を用いて説明した場合と同じ様に、 $\Delta V_{cc1}$ 、 $\Delta V_{cc2}$ 、 $\Delta V_{ono1}$ および $\Delta V_{ono2}$ で示されるごとき変動の抑制が行なわれる。

こうして、シュミレーション実験の結果によれば、上記実施例による半導体装置は、電源 $V_{cc}$ および接地GNDのいずれにおいても、その電圧レベル変動を従来よりも小さく押さえることができる。すなわちコンデンサ10によるノイズ除去効

の半導体装置のインバータ42に入力信号を入力してインバータ動作を行い出力信号を出力する際の電源 $V_{cc}$ および接地GNDの電圧レベル変動を、それぞれ第5図(b)、(c)に示す。

そして両者を比較するために、第5図(b)、(c)のインバータ動作時における電源 $V_{cc}$ および接地GNDの電圧レベル変動を拡大して、それぞれ第5図(d)、(e)に示す。

第5図(d)、(e)において、電源 $V_{cc}$ の電圧レベルは、従来の場合に $5.0 \text{ V}$ から $4.2 \text{ V}$ への低下すなわち $16\%$ のレベルダウンに対し、上記実施例の場合は $5.0 \text{ V}$ から $4.6 \text{ V}$ への低下すなわち $8\%$ のレベルダウンとなっている。従って、上記実施例の電源電圧レベルの変動は、従来よりも $1/2$ に低下している。

同様に、接地GNDの電圧レベルは、従来の場合に $0.0 \text{ V}$ から $0.6 \text{ V}$ に上昇しているのに対して、上記実施例の場合は $0.0 \text{ V}$ から $0.2 \text{ V}$ に上昇している。すなわち上記実施例の接地電圧レベルの変動は、従来よりも $1/3$ に低下してい

果を従来よりも大きくすることができ、半導体の誤動作を防止することができる。

なお、このシュミレーション実験にはTTL回路を用いているが、他の回路における電源ノイズに対しても、同様な効果がある。

このように上記実施例によれば、パッケージのグイステージ4に取り付けられたICチップ2の電源パッド12vおよび接地パッド12gがそれぞれワイヤ線16v、16gによって、コンデンサ10の両電極18、20に直接に接続されているため、電源パッド12vおよび接地パッド12gとコンデンサ10の間には、それぞれワイヤ線16vのインダクタンス成分L3およびインダクタンス成分L6だけしか存在していず、従来の半導体装置に比べて十分に小さいインダクタンスとすることができる。

このため、ノイズの発生を低減すると共に、パッケージに搭載したコンデンサ10によって電源 $V_{cc}$ および接地GNDのいずれにおいてもその電圧レベル変動を従来よりも小さく押さえることが

でき、すなわちノイズ除去を効果的に行なうことができ、従って半導体の誤動作を防止することができる。

#### 〔発明の効果〕

以上のように本発明によれば、ICチップの電極とコンデンサとの間を、外部リードに接続されるワイヤを介さずに別のワイヤによって直接に接続することにより、電極とコンデンサとの間のインダクタンスを小さくし、コンデンサによって電圧レベル変動を抑制することができ、従ってノイズを効果的に除去することができる。これによって、半導体の誤動作を防止することができる。

#### 4. 図面の簡単な説明

第1図(a)、(b)はそれぞれ本発明の第1の実施例による半導体装置を示す断面図および平面図、

第2図(a)、(b)はそれぞれ本発明の第2の実施例による半導体装置を示す断面図および平

- 8, 24, 26, 28……絶縁物、  
10, 30, 40……コンデンサ、  
12v, 38v……電源パッド、  
12g, 38g……接地パッド、  
14v, 14g, 16v, 16g, 32v, 32g……ワイヤ線、  
18, 20……電極、  
22……合成樹脂モールド、  
34……セラミック基体、  
36……蓋、  
42……インバータ。

面図、

第3図(a)、(b)はそれぞれ本発明の第3の実施例による半導体装置を示す断面図および平面図、

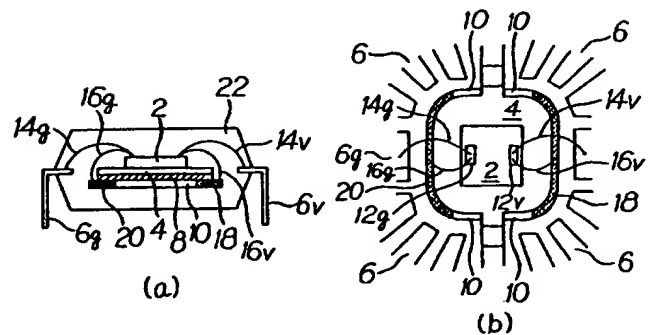
第4図(a)、(b)はそれぞれ本発明の実施例による半導体装置および従来の半導体装置の等価回路を示す回路図、

第5図および第6図はそれぞれ本発明の実施例による半導体装置の効果を示すために行なったシミュレーション実験およびその結果を説明するための図、

第7図および第8図はそれぞれ従来の半導体装置を示す図である。

図において、

- 2……ICチップ、  
4……ダイステージ、  
6……外部リード端子、  
6v……電源端子、  
6g……接地端子、

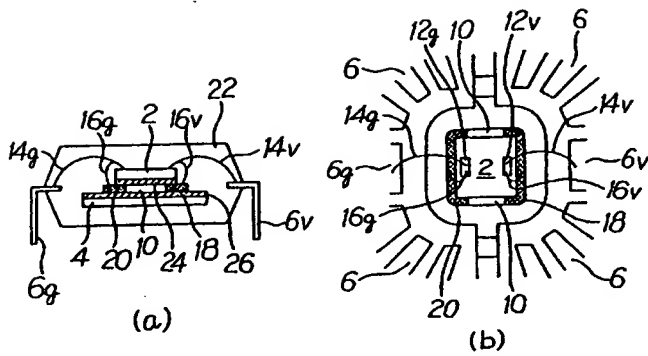


- 2……ICチップ  
4……ダイステージ  
6……外部リード端子  
6v……電源端子  
6g……接地端子  
8……絶縁物  
10……コンデンサ  
12v……電源パッド  
12g……接地パッド  
14v, 14g, 16v, 16g……ワイヤ線  
18, 20……電極  
22……合成樹脂モールド

本発明の第1の実施例による半導体装置を示す図  
第1図

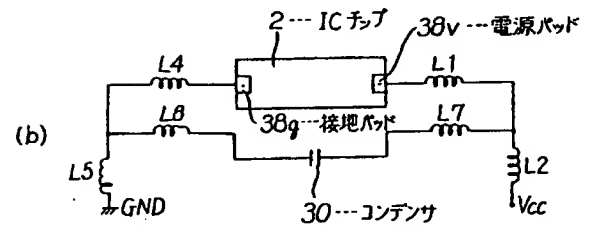
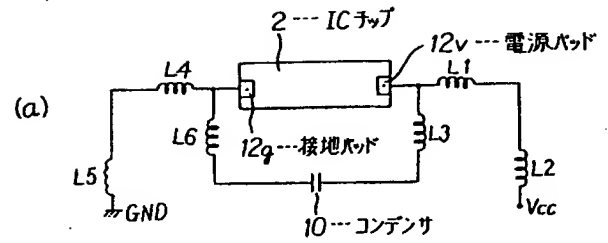
代理人 井理士 井 新 貞



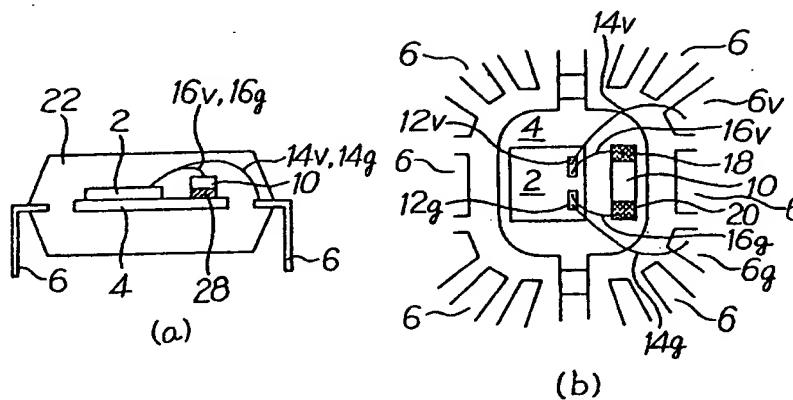


- |                |                             |
|----------------|-----------------------------|
| 2 --- ICチップ    | 10 --- コンデンサ                |
| 4 --- ダイステージ   | 12v --- 電源パッド               |
| 6 --- 外部リード端子  | 12g --- 接地パッド               |
| 6v --- 電源端子    | 14v, 14g, 16v, 16g --- ワイヤ線 |
| 6g --- 接地端子    | 18, 20 --- 電極               |
| 24, 26 --- 絶縁物 | 22 --- 合成樹脂モールド             |

本発明の第2の実施例による半導体装置を示す図  
第2図



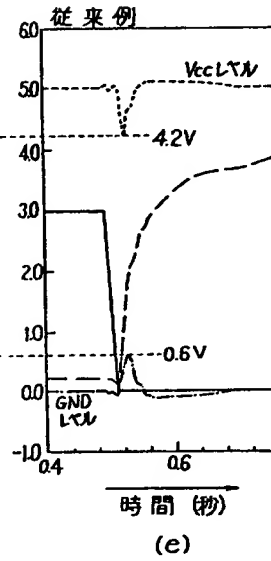
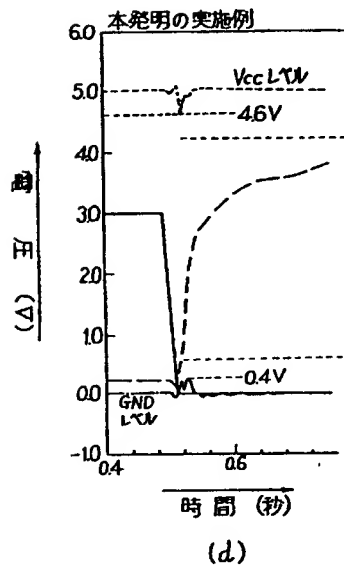
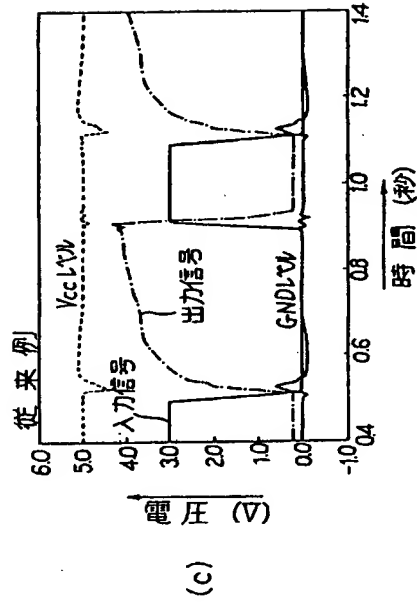
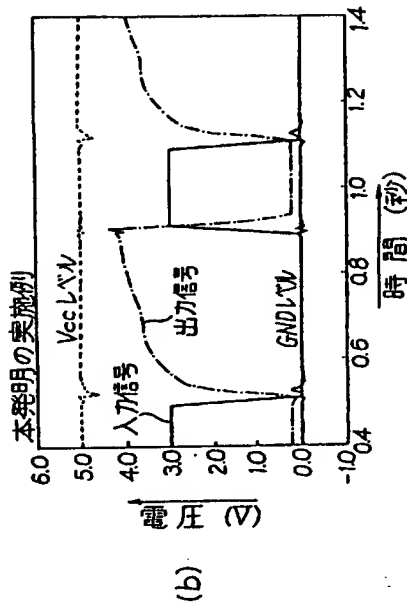
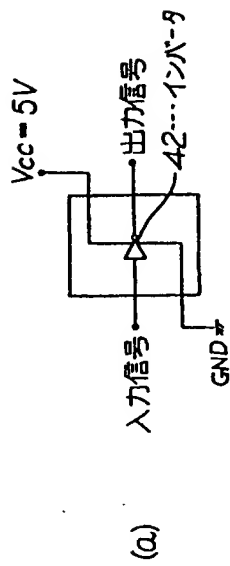
本発明の実施例による半導体装置および  
従来の半導体装置の等価回路を示す回路図  
第4図



- |               |                             |
|---------------|-----------------------------|
| 2 --- ICチップ   | 10 --- コンデンサ                |
| 4 --- ダイステージ  | 12v --- 電源パッド               |
| 6 --- 外部リード端子 | 12g --- 接地パッド               |
| 6v --- 電源端子   | 14v, 14g, 16v, 16g --- ワイヤ線 |
| 6g --- 接地端子   | 18, 20 --- 電極               |
| 28 --- 絶縁物    | 22 --- 合成樹脂モールド             |

本発明の第3の実施例による半導体装置を示す図  
第3図



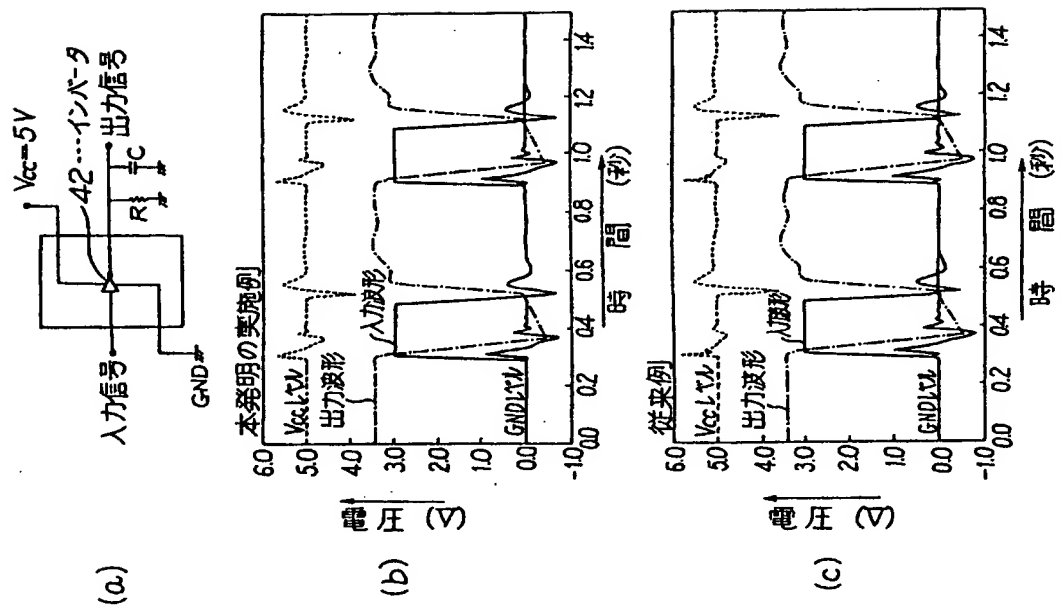


本発明の実施例による半導体装置の効果を示すために行なったシミュレーション実験およびその結果を説明するための図

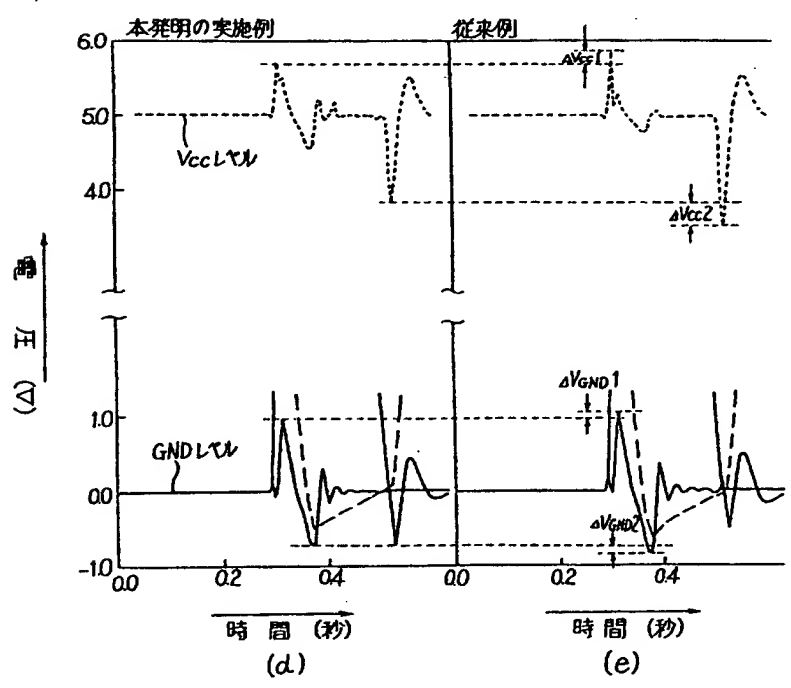
第5図

本発明の実施例による半導体装置の効果を示すために行なったシミュレーション実験およびその結果を説明するための図

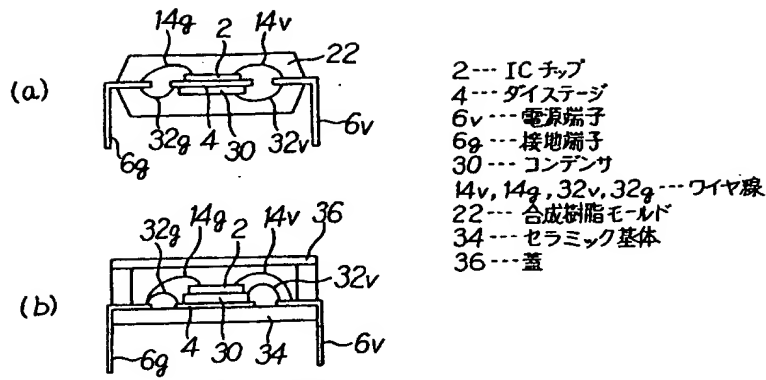
第5図



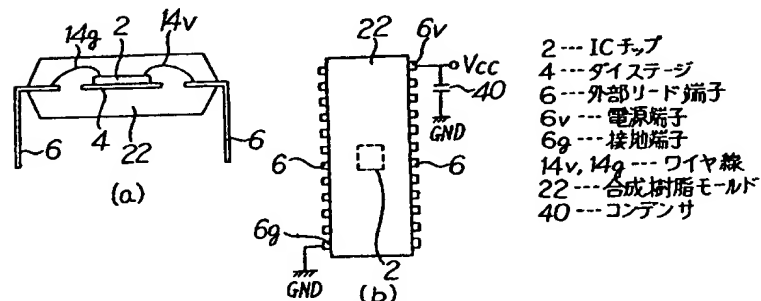
本発明の実施例による半導体装置の効果を示すために行なったシュミレーション実験およびその結果を説明するための図 第6図



本発明の実施例による半導体装置の効果を示すために行なったシュミレーション実験およびその結果を説明するための図 第6図



従来の半導体装置を示す図  
第7図



従来の半導体装置を示す図  
第8図

手続補正書(方式)

平成1年4月24日

特許庁長官 殿



1 事件の表示

昭和63年 特許願 第312538号

2 発明の名称

半 導 体 装 置

3 補正をする者

事件との関係 特許出願人

富 士 通 株 式 会 社

株式会社九州富士通エレクトロニクス

4 代 理 人

神奈川県川崎市中原区上小田中1015番地

富 士 通 株 式 会 社 内

(7259) 井 理 士 井 術 貞 一

電話 川崎 (044)754-3035 (ほか2名)

5 補正命令の日付

平 成 元 年 3 月 1 3 日

( 発 送 日 平 成 元 年 3 月 2 8 日 )

6 補正の対象

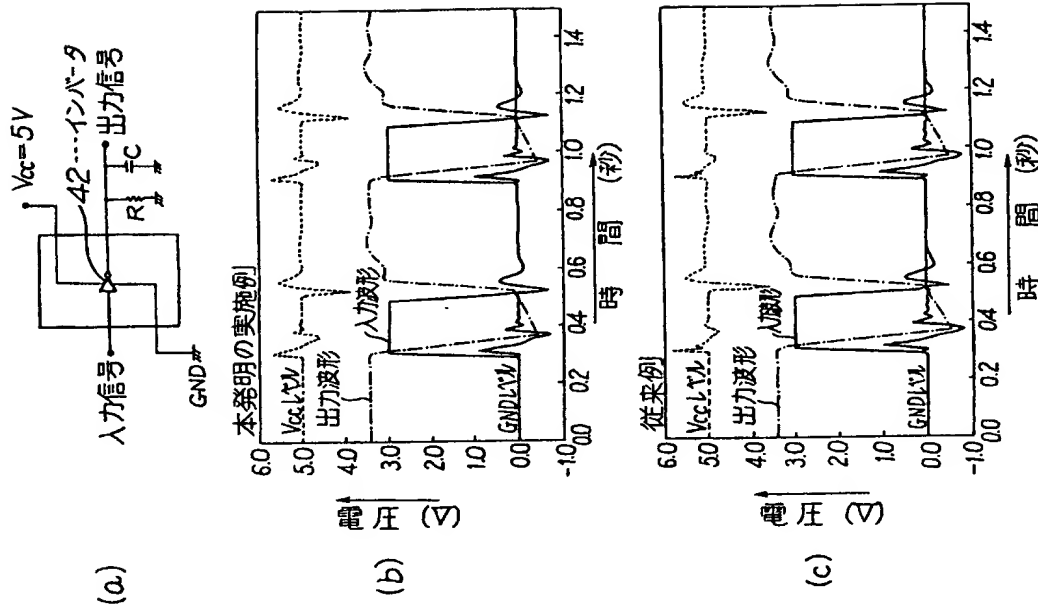
図 面

7 補正の内容

図面中、第6図を別紙の通り訂正す

特許庁

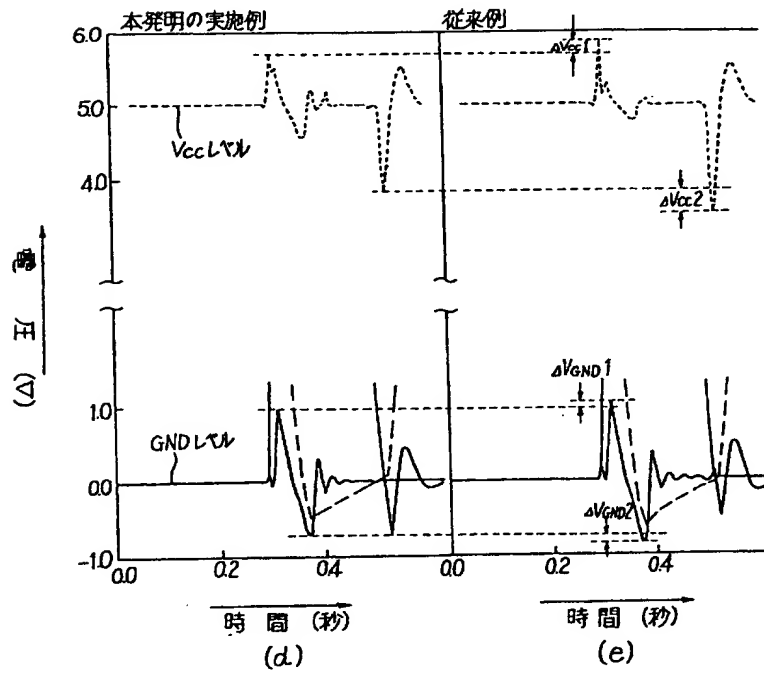
1.



本発明の実施例による半導体装置の効果を示すために行なったシミュレーション実験およびその結果を説明するための図

第6図

(その1)



本発明の実施例による半導体装置の効果を示すために行なったシミュレーション実験およびその結果を説明するための図

第6図

(その2)

## 手続補正書(自発)

平成1年4月24日

特許庁長官 殿



## 1 事件の表示

昭和63年 特許願 第312538号

## 2 発明の名称

半導体装置

## 3 補正をする者

事件との関係 特許出願人

富士通株式会社

株式会社九州富士通エレクトロニクス

## 4 代理人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(7259) 井理士 井桁 貞一

電話 川崎 (044)754-3035 (ほか2名)

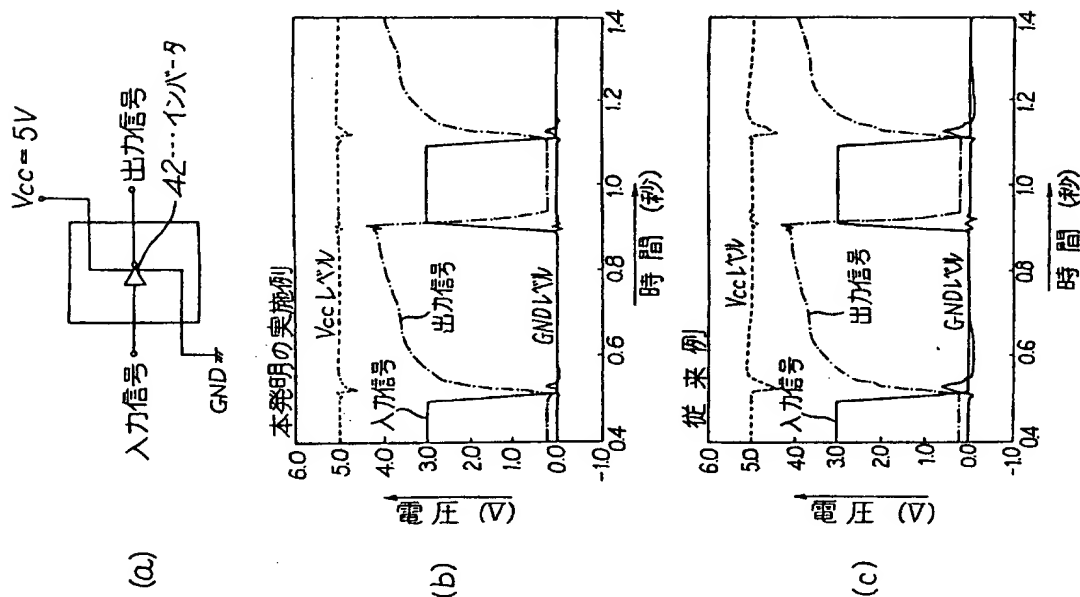


## 5 補正の対象

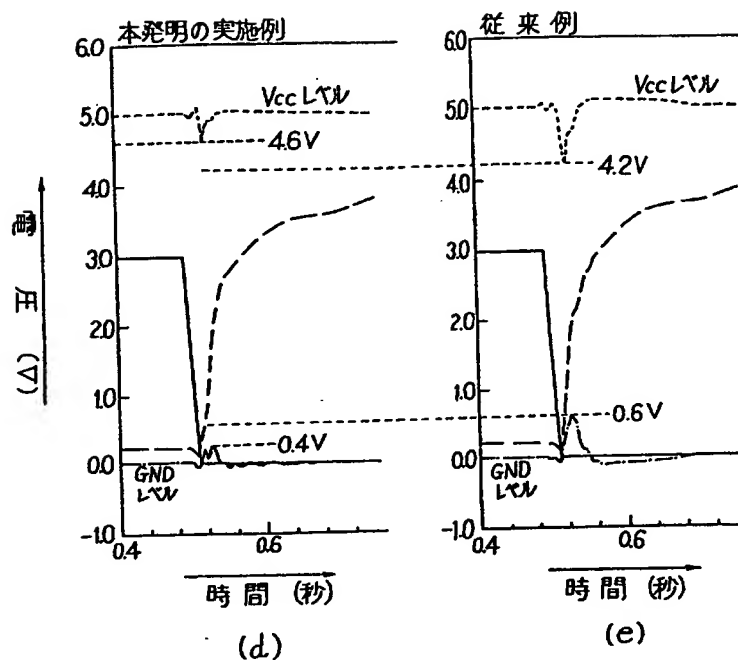
図面

## 6 補正の内容

図面中、第5図を別紙の通り訂正する。

方式  
審査

本発明の実施例による半導体装置の効果を示すために行なった  
シミュレーション実験およびその結果を説明するための図  
第5図 (その1)



本発明の実施例による半導体装置の効果を示すために行なった  
シミュレーション実験およびその結果を説明するための図

第5図  
(その2)